

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-343645

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

H01L 27/112

G11C 17/08

(21)Application number : 03-138917

(71)Applicant : GOLD STAR ELECTRON CO LTD

(22)Date of filing : 11.06.1991

(72)Inventor : AN JIN-HONG

(30)Priority

Priority number : 90 9008624 Priority date : 12.06.1990 Priority country : KR

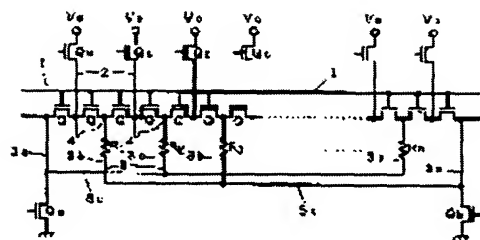
(54) READ ONLY MEMORY

(57)Abstract:

PURPOSE: To provide an X-ROM with an extremely high degree of integration by optimizing the material selection of a variable grounding cable and a connecting method.

CONSTITUTION: Cell transistors Q for memories are arranged along a word line 1, a bit line 2 and variable grounding wires 3 are alternately mutually arranged between transistors Q, and a plurality of polysilicon grounding wires 3b are arranged in series and metal grounding wires 3a are arranged on both sides thereof one piece each. Then those of the odd number for the polysilicon grounding wires 3b are connected together to the metal grounding on the one side, through a common connecting line 3c and the polysilicon grounding wires 3b of the even number are connected together to the metallic grounding wires 3a on the other side through other common connecting wires 3c.

Accordingly, cell transistors Qa, Qb for drive are connected to both side metal grounding wires 3a and cell transistors Qc for sense amplification are connected to bit wires 2 for minimizing the intervals between the bit wires and the variable grounding wires, thus allowing itself to further heighten a degree of integration of an X-ROM.



LEGAL STATUS

[Date of request for examination] 11.06.1991

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2025623

[Date of registration] 26.02.1996

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-343645

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/112

G11C 17/08

8728-4M

H01L 27/10

433

6741-5L

G11C 17/00

301 A

審査請求 有 請求項の数6(全7頁)

(21)出願番号 特願平3-138917

(22)出願日 平成3年(1991)6月11日

(31)優先権主張番号 1990-8624

(32)優先日 1990年6月12日

(33)優先権主張国 韓国(KR)

(71)出願人 591044131

ゴールド スター エレクトロン カンパ
ニー リミテッドGOLD STAR ELECTRON
COMPANY LIMITED大韓民国 チュングチェオンブグド チ
ェオンジュンシ ヒャンギエオンドン
50

(72)発明者 アン ジン ホン

大韓民国 キョンサンブグド グミシ ゴ
ンタンドン 265

(74)代理人 弁理士 中村 純之助 (外2名)

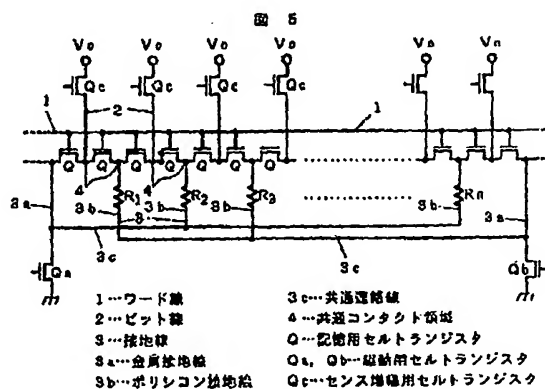
(54)【発明の名称】 読出専用メモリ

(57)【要約】

【目的】可変接地線の材料選択及び結線方法を最適化することによって集積度の極めて高いX-ROMを得ること。

【構成】可変接地線として、金属材料をもって形成した接地線とポリシリコンをもって形成した接地線とを使用する。そして、ポリシリコン接地線の複数個を連続して配列し、その両側に金属接地線を配置すると共に、奇数番目のポリシリコン接地線を一の共通連絡線を介して一侧の金属接地線に纏めて接続し、偶数番目のポリシリコン接地線を別の共通連絡線を介して他側の金属接地線に纏めて接続する。

【効果】ビット線及び可変接地線を短い間隔で交互に形成することが出来るので、素子の集積度を高めることが出来る。また、ワード線の長さやビット線の静電容量が減少するので、スピード特性が向上する。



【特許請求の範囲】

【請求項1】所定の間隔をもって順次配列された複数のワード線と、当該ワード線と直交する方向に所定の間隔をもって順次配列された複数のビット線と、当該ビット線と交互に所定の間隔をもって順次配列された複数の可変接地線と、共通のコンタクト領域を中心としてX形配置となるように所定の間隔をもって順次配列された複数の記憶用セルトランジスタとを少なくとも備えた読出専用メモリにおいて、①上記可変接地線は、その一部が金属材料をもって形成され、残りがポリシリコン材料をもって形成されており、②ポリシリコン材料からなる可変接地線は、その複数個が連続して配列され、その両側に金属からなる可変接地線が配置されており、かつ、③奇数番目のポリシリコン接地線は、一の共通連絡線を介して一側の金属接地線に接続され、偶数番目のポリシリコン接地線は別の共通連絡線を介して他方の金属接地線に接続されていることを特徴とする読出専用メモリ。

【請求項2】ポリシリコン接地線の個数は2の倍数であることを特徴とする請求項1に記載の読出専用メモリ。

【請求項3】金属接地線及びポリシリコン接地線をもって構成された前記配列は所定のセルブロックを単位として反復的に形成されていることを特徴とする請求項1又は請求項2に記載の読出専用メモリ。

【請求項4】共通連絡線はポリシリコン接地線とは異なる成分のポリシリコン材料をもって形成されていることを特徴とする請求項1乃至請求項3のいずれか一に記載の読出専用メモリ。

【請求項5】共通連絡線はワード線と同一成分のポリシリコン材料をもって形成されていることを特徴とする請求項1乃至請求項4のいずれか一に記載の読出専用メモリ。

【請求項6】ポリシリコン接地線の一部又は全部がシリサイド材料からなる接地線をもって置換されていることを特徴とする請求項1乃至請求項5のいずれか一に記載の読出専用メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、俗にROM(read only memory)と呼ばれる読出専用メモリ、特にマスクROM(mask programmable ROM)及びEPROM(erasable and program-mable ROM)の改良に関するものである。

【0002】

【従来の技術】4個の記憶用セルトランジスタが1個のコンタクト領域を共有し、かつ、当該領域を中心としてX形配置となるように当該トランジスタを配列した所謂「X-ROM」は、素子の集積度を高めるための一つの有効な方法として広く使用されている。

【0003】一般に、マスクROMは、図1に示すように、夫々1ビットに対応する複数の記憶用セルトランジ

スタQと、これらのセルトランジスタの各々に接続されたワード線1、ビット線2及び接地線3と、トランジスタ相互間を有機的に連結するためのコンタクト領域4をもって構成するのが普通であるが、通常は個々のセルトランジスタ毎にコンタクト領域を形成するため、集積度がそれほど良くないという問題がある。

【0004】図2は、素子の集積度を高める目的で改良されたX-ROMのレイアウトの一例を示す。本例では、複数のワード線1が所定の間隔をもって平行に順次配列され、かつ、複数の記憶用セルトランジスタQ（通常はFET）が所定の間隔をもって当該ワード線に沿って配列されている。ビット線2及び接地線3は、ワード線1と直交する方向に交互に平行に配列されている。コンタクト領域4は、4個のセルトランジスタQが当該領域を共有するような形でワード線1の相互間に形成されている。なお、斜線部分5は、アクティブ領域である。

【0005】図3は、図2における複数のワード線の1本に対応する部分回路図である。同図に示すように、所定の間隔をもって配列されたセルトランジスタQの相互間には、共通コンタクト領域4を介してビット線2及び接地線3が交互に配列されている。また、個々のビット線2には、センス増幅用セルトランジスタQcが夫々接続され、更に、奇数番目の接地線3には、第一の駆動用セルトランジスタQaが、偶数番目の接地線3には、第二の駆動用セルトランジスタQbが夫々接続されている。

【0006】駆動用トランジスタQa及びQbは、そのゲート電極に印加される第一及び第二の制御信号S₁及びS₂によって動作し、複数の接地線3のうちの特定の線を接地電位に落す。残りの接地線は、浮動状態のまま保持されるか、別回路（図示せず）からの所定電圧にプリチャージされる。このように、従来のX-ROMでは、制御信号S₁及びS₂を用いて特定の接地線を選択し、当該接地電位に落しているため、この種の接地線のことを俗に「可変接地線」と呼ぶ。なお、センス増幅用トランジスタQcのゲート電極に印加される制御信号S₃～S₅は、所定のアドレスに対応するトランジスタのみを動作させて出力信号を取り出すためのものである。

【0007】X-ROMは、図2に示す如く4個の記憶用セルトランジスタQが1個の共通コンタクト領域4を共有し、かつ、これらのトランジスタがX形配置となるように配列されているため、通常のH型配置のROM（H-ROM）に比較して集積度が可成り高くなる。なお、ワード線1は、通常、ポリシリコン材料をもって形成し、ビット線2及び可変接地線3は、金属材料をもって形成するのが普通である。記憶用セルトランジスタQは、図2に斜線で示したアクティブ領域の部分に形成され、当該領域を介してワード線1、ビット線2及び可変接地線3と相互に接続される。

【0008】従来構造のX-ROMの動作を説明する。まず、駆動用セルトランジスタQa及びQbのゲート電極に制御信号S₁又はS₂が入力すると、奇数番目又は偶数番目のいずれかの可変接地線3が選択され、記憶用セルトランジスタQ及びビット線2の間に（別回路からの所定電圧をもって）プリチャージされていた電荷が当該セルトランジスタを介して可変接地線3に放電する。このため、ビット線2に一定の電圧降下が発生し、この電圧降下は、ビット線2の出力側に接続されたセンス増幅用セルトランジスタQcによって検出される。即ち、記憶用セルトランジスタQに電流が流れないようにROMが予めプログラムされている場合は、ビット線2に電圧降下が発生しないため、センス増幅用のセルトランジスタQcが「ハイ状態」を感知し、逆のプログラムがセットされている場合は、ビット線2に電圧降下が発生するため、同トランジスタが「ロー状態」を感知する。プログラムの書込方法としては、周知の如く、アクティブ領域を除去する方法、イオン打込によって閾値を高める方法、浮動ゲートに電荷を注入して閾値電圧を高める方法（EPROMの場合）等がある。図3の例の場合は、アクティブ領域を除去する方法が採用されている。

【0009】いずれにしても、図2及び図3に示したX-ROMは、4個の記憶用セルトランジスタQが1個のコンタクト領域4を共有するように配列されているため、H-ROMに比較して素子の集積度を高めることが可能である。しかし、従来構造のX-ROMは、ビット線2及び可変接地線3の両方をいずれも金属材料をもって形成していたため、両者間に可成りの間隔を設ける必要があった。それ故、従来構造のX-ROMは、設計面積を最小化するのに限界があり、素子の効率的な高集積化を達成することが出来なかった。

【0010】

【発明が解決しようとする課題】本発明の目的は、可変接地線の材料選択及び結線方法を最適化することによって従来技術の問題点を解消し、結果として集積度の極めて高いX-ROMを得ることにある。

【0011】

【課題を解決するための手段】上記の課題を解決するため、本発明に係る読出専用メモリ（X-ROM）においては、可変接地線として、金属材料からなる接地線（以下「金属接地線」と表記）とポリシリコンからなる形成した接地線（以下「ポリシリコン接地線」と表記）とを使用する。そして、ポリシリコン接地線の複数個を連続して配列し、その両側に金属接地線を配置すると共に、奇数番目のポリシリコン接地線を一の共通連絡線を介して一側の金属接地線に接続し、偶数番目のポリシリコン接地線を別の共通連絡線を介して他側の金属接地線に接続するのである。

【0012】ポリシリコン接地線の個数は、配線技術の関係上、2の倍数であることが望ましい。また、抵抗成

分に起因する悪影響を軽減するため、ポリシリコン接地線と金属接地線からなる前記配列は、所定のセルブロックを単位として同じものを反復して形成することが望ましい。共通連絡線は、ワード線と同一成分のポリシリコン材料をもって形成することが出来るが、ポリシリコン接地線の成分と共通連絡線の成分とは、互いに異ならしめることが望ましい。なお、ポリシリコン接地線は、その一部又は全部を金属以外の他の導電材料（例えばシリサイド材料）からなる接地線をもって置換することも可能である。

【0013】

【実施例】本発明の実施例を図4乃至図7を参照して詳細に説明する。図4は、本発明に係るX-ROMのレイアウト図であって、本発明のX-ROMは、本図の外観から見る限り、従来のX-ROM（図2）と同一構造である。即ち、水平方向に延長する複数のワード線1は、所定の間隔をもって順次配列されており、記憶用セルトランジスタQは、所定の間隔をもってワード線1に沿って順次配列されている。ビット線2及び可変接地線3は、ワード線1と直交して所定の間隔をもって交互に順次配列されている。そして、記憶用セルトランジスタQは、その4個が1個の共通コンタクト領域4を共有し、かつ、当該領域を中心としてX形配置となるように配列されている。

【0014】しかし、本発明の場合は、可変接地線として金属接地線とポリシリコン接地線との2種類を使用する点が従来と異なる。ワード線及びビット線は、従来と同様の材料をもって形成されている（即ち、ワード線はポリシリコン材料、ビット線は金属材料）。なお、ワード線及び可変接地線は、いずれもポリシリコン材料をもって形成するが、その成分を互に異ならしめることが望ましい。

【0015】図5は、図3に対応する部分回路図である。複数個の記憶用セルトランジスタQは、従来の場合と同様、ワード線1に沿って所定の間隔をもって順次配列されており、かつ、ビット線2及び可変接地線3は、記憶用セルトランジスタQの相互間に交互に配列されている。しかし、ポリシリコン接地線3bは、その複数個が連続して配列され、その両側に金属接地線3aが1個づつ配置されている。そして、複数個のポリシリコン接地線3bのうち、奇数番目のものは、ポリシリコン材料からなる一の共通連絡線3cを介して一側の金属接地線3aに纏めて接続され、かつ、偶数番目のポリシリコン接地線3bは、同じくポリシリコン材料からなる別の共通連絡線3cを介して他側の金属接地線3aに纏めて接続されている。更に、両側の金属接地線3aには、駆動用セルトランジスタQa及びQbが夫々接続されている。これらのセルトランジスタは、その出力側を接地して使用する。センス増幅用セルトランジスタQcは、従来の場合と同様、金属材料からなる複数のビット線2に

夫々接続されている。

【0016】ポリシリコン接地線3bの個数は、配線技術の関係上、2の倍数であることが望ましい。そして、当該接地線の個数をn（正の整数）とすると、必要とする駆動用セルトランジスタQa及びQbの合計個数は、ポリシリコン接地線3bの個数nに金属接地線3aの個数2を加えた合計個数（n+2）について2個のみとなり、結果として、可変接地線とビット線の相互間隔を最小にすることが可能となる。なお、図5において、R₁～R_nは、個々のポリシリコン接地線3bが保有する抵抗成分を示す。これらの抵抗成分は、X-ROMとしてのノイズマージンやスピード特性の低下要因になる。この要因を軽減させる方法については、後で説明する。なお、金属接地線3aは、抵抗成分が実質的に存在しないので、簡単のため、その表記を省略した。

【0017】図5に示した本発明のX-ROMの動作それ自体は、図3に示した従来のX-ROMの動作と同じである。即ち、奇数番目のポリシリコン接地線3b及び偶数番目のポリシリコン接地線3bは、駆動用セルトランジスタQa又はQbによって同時に選択される結果、記憶用セルトランジスタQとビット線2間に別回路によって一定の電圧でプリチャージされていた電荷は、選択された奇数番目又は偶数番目のポリシリコン接地線3bに対応する記憶用セルトランジスタQを介して一側又は他側の金属接地線3aに放電する。このため、ビット線2に一定の電圧降下が発生し、この電圧降下は、ビット線2の出力側に接続された複数のセンス増幅用セルトランジスタQcのうち、選択された奇数番目又は偶数番目のポリシリコン接地線3bに対応するものによって「ハイ状態」又は「ロー状態」として感知される。

$$R = R_a + R_b // R_c + R_d$$

【0021】上記の合成抵抗Rは、記憶用セルトランジスタQを介して流れ込む電流を阻害すると同時にビット線2の電圧降下を阻害する結果、センス増幅用セルトランジスタQcのノイズマージン特性やX-ROMとしてのスピード特性を劣化させる原因となる。なお、図6には、説明の便宜上、可変接地線3の結線関係のみが示されているが、実際には、ポリシリコン接地線3bと異なる成分のポリシリコン材料からなるワード線1、記憶用セルトランジスタQ及び金属材料であるビット線2が複数のポリシリコン接地線3bの相互間に配列される。

【0022】

【発明の効果】可変接地線を金属接地線とポリシリコン接地線との2種類をもって形成したので、金属材料であるビット線と可変接地線との間の間隔を最小にすることが出来る結果、X-ROMの集積度を更に高めることが可能となった。また、ビット線と可変接地線との間隔を最小化することが出来る結果、ワード線の長さ及び同線方向におけるセル寸法を減少させることが出来た。また、ワード線の長さの減少に伴い、同線に発生する演算

【0018】図6は、ポリシリコン接地線3bの個数が6である場合について、金属接地線3a及びポリシリコン接地線3bの結線関係を示したものである。即ち、同図に示す如く、6個のポリシリコン接地線3bの両側に夫々1個の金属接地線3aを形成したセルブロックを順次配列しておき、各セルブロック中の奇数番目のポリシリコン接地線3bを一の共通連絡線3cを介して一側の金属接地線3aに纏めて接続し、偶数番目のポリシリコン接地線3bを別の共通連絡線3cを介して他側の金属接地線3aに纏めて連結する。

【0019】この場合、共通連絡線3cの材料成分は、ワード線1の材料成分と同一であっても良いが、ポリシリコン接地線3bの材料成分とは異なる。また、ポリシリコンの抵抗成分は金属に比較して大きいので、当該抵抗成分による影響を出来るだけ減少させるため、金属接地線3a及びポリシリコン接地線3bからなる前記配列は、特定のセルブロックを単位として行なうことが望ましい。

【0020】図6において、Ra、Rb、Rc及びRdは、任意地点Pから見た抵抗成分を示す。即ち、金属接地線3aは、抵抗値がRaである一の共通連絡線3c、抵抗値がRbである一のポリシリコン接地線3b、抵抗値がRcである別の共通連絡線3c及び抵抗値がRdである別のポリシリコン接地線3bを介して特定の記憶用セルトランジスタQに接続されることになる。図7は、地点Pに対応する等価回路図である。同地点における合成抵抗Rの大きさは、式（1）をもって表わすことが出来る。

【数1】

$$\dots\dots\dots (1)$$

スピードの遅延要因を軽減することが出来た。更に、セル寸法の減少割合に比例してビット線の静電容量が減少させることが出来るほか、スピード特性を向上させることが出来た。

【図面の簡単な説明】

【図1】従来の標準的なROM構造を説明するための回路図。

【図2】従来のX-ROMのレイアウト図。

【図3】上記X-ROMの部分回路図。

【図4】本発明の一実施例であるX-ROMのレイアウト図。

【図5】上記X-ROMの部分回路図。

【図6】上記X-ROMにおける可変接地線の結線状態を示す配線図。

【図7】上記X-ROMの部分等価回路図。

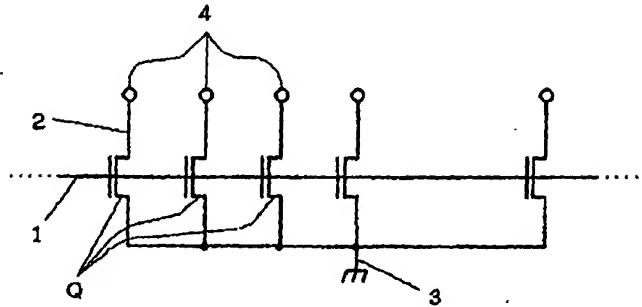
【符号の説明】

1…ワード線、2…ビット線、3…可変接地線、3a…金属接地線、3b…ポリシリコン接地線、3c…共通連絡線、4…コンタクト領域、5…アクティブ領域、Q…

記憶用セルトランジスタ、 Q_a 及び Q_b …駆動用セルトランジスタ。
 ランジスタセンス、 Q_c …センス増幅用セルトランジスタ

【図1】

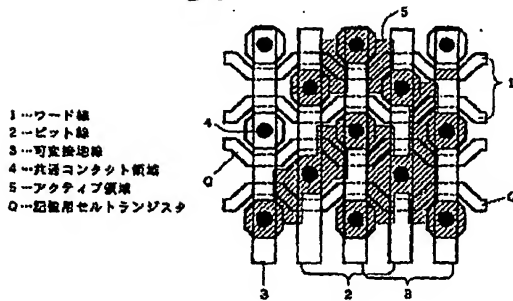
図 1



- 1…ワード線 4…コンタクト領域
 2…ビット線 Q…記憶用セルトランジスタ
 3…接地線

【図2】

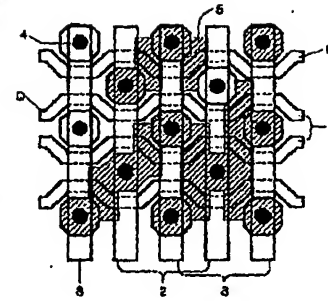
図 2



- 1…ワード線
 2…ビット線
 3…可変接地線
 4…共通コンタクト領域
 5…アクティブ領域
 Q…記憶用セルトランジスタ

【図4】

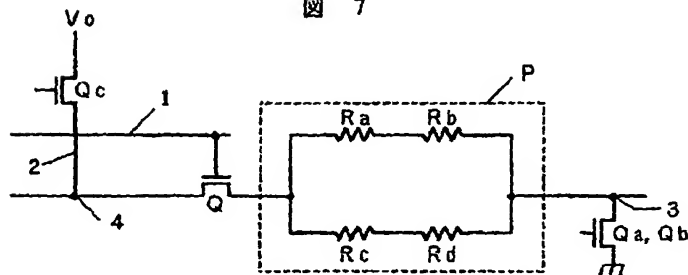
図 4



- 1…ワード線
 2…ビット線
 3…可変接地線
 4…共通コンタクト領域
 5…アクティブ領域
 Q…記憶用セルトランジスタ

【図7】

図 7

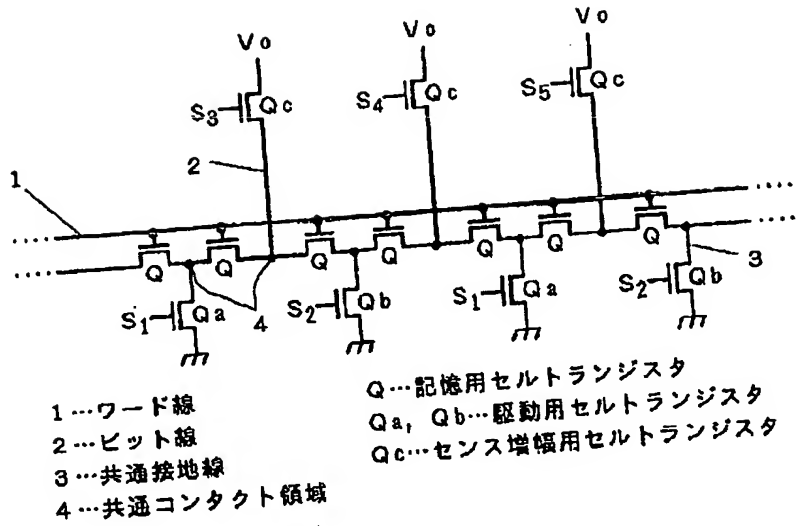


- 1…ワード線 Q…記憶用セルトランジスタ
 2…ビット線 Q_a, Q_b …駆動用セルトランジスタ
 3…可変接地線 Q_a, Q_b …駆動用セルトランジスタ
 4…共通コンタクト領域 R_a, R_b, R_c, R_d
 …接地線, 連絡線の抵抗成分

(6)

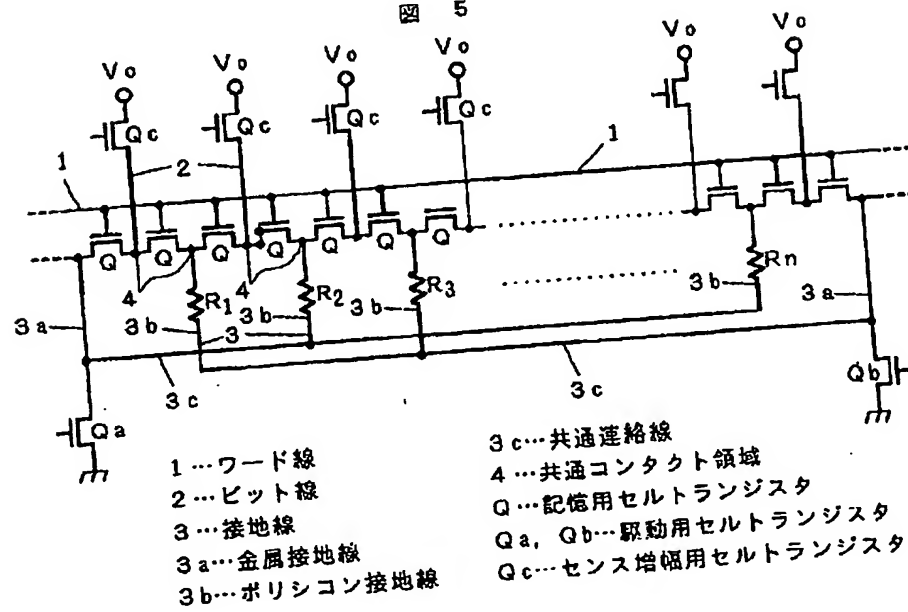
【図3】

図 3



【図5】

図 5



【図6】

